



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11068028 A**(43) Date of publication of application: **09.03.99**

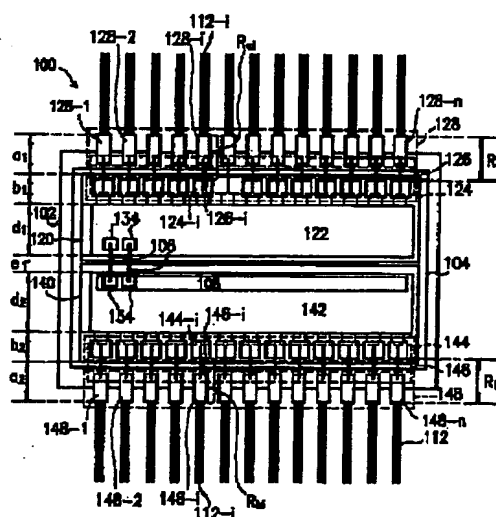
(51) Int. Cl

H01L 23/538**H01L 25/04****H01L 25/18**(21) Application number: **10162668**(22) Date of filing: **10.06.98**(30) Priority: **12.06.97 JP 09155314**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **HIRATA TAKASHI
AKAMATSU HIRONORI****(54) INTEGRATED CIRCUIT PACKAGE AND SYSTEM****(57) Abstract:**

PROBLEM TO BE SOLVED: To reduce the dead space by connecting a first and second integrated circuit chips to a common bus.

SOLUTION: When a pad row 124 and pin row 128 are made mutually parallel, the distance from each pad 124-i connected to specified part of a functional block 122 to signal line 112-i via corresponding pin 128-i is const. The signal line 112-i in the bus 112 includes a power line, ground line, command line, first and second clock signal lines, bus control signal line, bus enable signal line and data signal line, the rest. Pins 128-1, 148-1 of the chips 120, 140 can be connected to the same power line, pins 128-2, 148-2 to the same ground line,... and pins 128-n, 148-n to the same data signal line. This minimizes the dead space at a part corresponding to the length $(a1+b1+e'1+a2+b1)$ and hence reduces the dead space.

COPYRIGHT: (C)1999,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68028

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁸
H 0 1 L 23/538
25/04
25/18

識別記号

F I
H 0 1 L 23/52
25/04

A
Z

審査請求 有 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平10-162668

(22) 出願日 平成10年(1998) 6月10日

(31) 優先権主張番号 特願平9-155314

(32) 優先日 平9(1997) 6月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平田 貴士

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

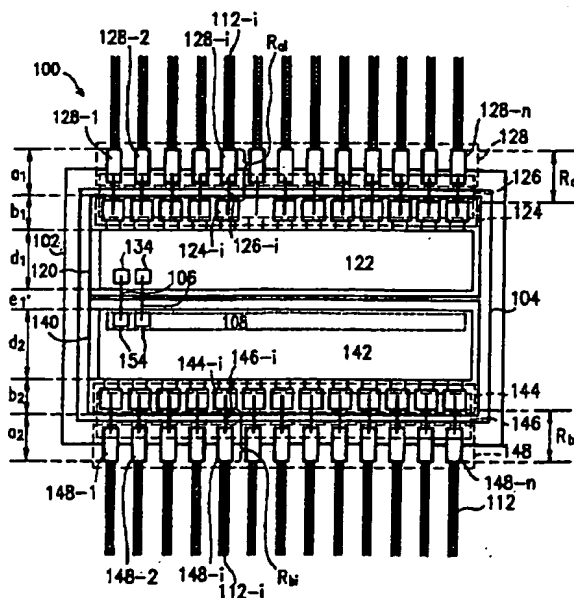
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 集積回路パッケージおよびシステム

(57) 【要約】

【課題】 データクロック間のスキュー、ならびに転送データおよびクロック波形のノイズ等による乱れを回避し、かつ高密度にバス上に配置可能な集積回路パッケージを提供する。

【解決手段】 同一の機能を有する第1の集積回路チップと第2の集積回路チップとを備えた集積回路パッケージであって、前記第1の集積回路チップと前記第2の集積回路チップとは、共通のバスに接続されている、集積回路パッケージ。



【特許請求の範囲】

【請求項 1】 同一の機能を有する第 1 の集積回路チップと第 2 の集積回路チップとを備えた集積回路パッケージであって、

前記第 1 の集積回路チップと前記第 2 の集積回路チップとは、共通のバスに接続されている、集積回路パッケージ。

【請求項 2】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップのそれぞれは、メモリチップである、請求項 1 に記載の集積回路パッケージ。

【請求項 3】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップが平面上で互いに隣接するように配置される、請求項 1 に記載の集積回路パッケージ。

【請求項 4】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップが互いに重なり合うように配置される、請求項 1 に記載の集積回路パッケージ。

【請求項 5】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップのうちの一方を他方に対して裏返した状態で配置される、請求項 1 に記載の集積回路パッケージ。

【請求項 6】 前記第 1 の集積回路チップは、前記共通バスに接続される複数の第 1 ピンと、前記複数の第 1 ピンに接続される複数の第 1 パッドとを有しており、前記第 1 ピンが前記共通バスに接続される点と前記第 1 ピンが接続される前記第 1 パッドとの間の距離は実質的に一定である、請求項 1 に記載の集積回路パッケージ。

【請求項 7】 集積回路パッケージと前記集積回路パッケージを制御する制御回路とを備えたシステムであって、

前記集積回路パッケージは、同一の機能を有する第 1 の集積回路チップと第 2 の集積回路チップとを含み、前記第 1 の集積回路チップと前記第 2 の集積回路チップと前記制御回路とは、共通のバスに接続されている、システム。

【請求項 8】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップのそれぞれは、メモリチップである、請求項 7 に記載のシステム。

【請求項 9】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップが平面上で互いに隣接するように配置される、請求項 7 に記載のシステム。

【請求項 10】 前記第 1 の集積回路チップおよび前記第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップが互いに重なり合うように配置される、請求項 7 に記載のシステム。

【請求項 11】 前記第 1 の集積回路チップおよび前記

第 2 の集積回路チップは、前記第 1 の集積回路チップおよび前記第 2 の集積回路チップのうちの一方を他方に対して裏返した状態で配置される、請求項 7 に記載のシステム。

【請求項 12】 前記第 1 の集積回路チップは、前記共通バスに接続される複数の第 1 ピンと、前記複数の第 1 ピンに接続される複数の第 1 パッドとを有しており、前記第 1 ピンが前記共通バスに接続される点と前記第 1 ピンが接続される前記第 1 パッドとの間の距離は実質的に一定である、請求項 7 に記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプリント基板のバス上に配置される集積回路パッケージおよびシステムに関する。

【0002】

【従来の技術】近年、LSI間のデータ転送速度が向上し、プリント基板に配置されるバス上での(1)データクロック間のスキュー、ならびに(2)転送データおよびクロック波形のノイズ等による乱れが問題となってきた。この問題を解決するためには、プリント基板上に配置するバスについて、コントローラからコントローラとデータのやりとりを行うLSI(大規模集積回路)までの距離をバス毎で等長かつ短長にすることが必須となっている。なお、本明細書で「距離」とは、信号経路の長さを意味する。

【0003】高速データ転送を行うに際して、上記問題が起こらないようにするためには、接続パッド(以下、「パッド」と称する)から、ボンディングワイヤ(以下、「ワイヤ」と称する)を介して、リードピン(以下、「ピン」と称する)までの距離を各経路毎に等長にすることが必要である。その理由を以下に述べる。

【0004】図16(a)および図16(b)は、プリント基板のバス上に配置されたLSI間でデータ転送を行う場合のデータの送信時と受信時のタイミングを示す。ここでは、送信元のLSIが、T1のタイミングに合わせてデータD1およびD2を送信し(図16(a))、送信先のLSIが、T2のタイミングに合わせてそのデータD1およびD2を受信する(図16(b))場合を想定する。

【0005】送信されたデータD1およびD2はLSIパッケージ内のパッド、ワイヤ、ピンおよびプリント基板上のバスを経由して、送信先のLSIに転送される。この際、各経路毎のデータの信号経路長の違いにより、データの到達時間に差が生じる。その到達時間の差が、クロックの周期Tに対してT/2以上になると、T2のタイミングで、データD1およびD2を同時に受信することが不可能になり、複数のデータを一度に転送することができなくなる。

【0006】LSI間で、高速データ転送を行う場合に

は、データの取り込み、送出のタイミングを決めるクロック周波数を増加させることが必須となっている。しかしながら、周波数を増加させると図16中のクロックの周期Tが短くなるため、上述の経路差によるデータの到達時間差が深刻な問題となる。そのため、高速データ転送を行うためには、各データの経路長を等しくすることが必要不可欠であり、ピンおよびワイヤもその例外ではない。

【0007】この問題を解決する技術が米国特許第5,408,129号に開示されている。これは、パッケージの1辺だけからピンを出すことにより、ピンから集積回路基板上に配置されるパッドまでの距離を等長にしている(図17)。

【0008】また上述のように、プリント基板上に配置するバスの、コントローラからの距離を短くする必要がある。上記の問題を生じないバス長は、ある限界値以下でなくてはならない。したがって、その所定の限られたバス長の範囲内で、集積回路を配置する必要がある。

【0009】

【発明が解決しようとする課題】しかしながら、パッケージの1辺のみからピンを出したパッケージには、図18に示すようにデッドスペースが存在する。図18は、SHP(Surface Horizontal Package)をバス上に配置したときの概略を示す平面図である。ここでデッドスペースとは、集積回路パッケージが占有する領域から、集積回路チップ上に存在する機能ブロックのバス方向の長さに対応する部分を除外した領域を意味する。ここで、機能ブロックのバス方向の長さ d_1 に対応する部分とは、斜線領域 S_{d1} で示される領域である(図18)。また本明細書中、バス方向の所定の長さに対応する部分とは、同様の領域を意味する。例えば、バス方向の長さ a_1 に対応する部分とは、斜線領域 S_{a1} で示される領域である。

【0010】図18では、長さ $(a_1 + b_1 + c_1 + e_1 + a_2 + b_2 + c_2)$ に対応する部分がデッドスペースである。これらのデッドスペースは削減可能であり、上述の所定の限られたバス長をさらに有効に活用できる余地が残されている。

【0011】本発明の目的は、このデッドスペースを減らすことによって、所定の限られたバス長でさらに高密度に集積回路チップを配置することを可能にする集積回路を提供することにある。

【0012】

【課題を解決するための手段】本発明による集積回路パッケージは、同一の機能を有する第1の集積回路チップと第2の集積回路チップとを備えた集積回路パッケージであって、前記第1の集積回路チップと前記第2の集積回路チップとは、共通のバスに接続されており、それによって上記目的が達成される。

【0013】前記第1の集積回路チップおよび前記第2

の集積回路チップのそれぞれは、メモリチップであってもよい。

【0014】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップが平面上で互いに隣接するように配置されていてもよい。

【0015】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップが互いに重なり合うように配置されていてもよい。

【0016】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップのうちの一方を他方に対して裏返した状態で配置されていてもよい。

【0017】前記第1の集積回路チップは、前記共通バスに接続される複数の第1ピンと、前記複数の第1ピンに接続される複数の第1パッドとを有しており、前記第1ピンが前記共通バスに接続される点と前記第1ピンが接続される前記第1パッドとの間の距離は実質的に一定であってもよい。

【0018】本発明のシステムは、集積回路パッケージと前記集積回路パッケージを制御する制御回路とを備えたシステムであって、前記集積回路パッケージは、同一の機能を有する第1の集積回路チップと第2の集積回路チップとを含み、前記第1の集積回路チップと前記第2の集積回路チップと前記制御回路とは、共通のバスに接続されており、それによって上記目的が達成される。

【0019】前記第1の集積回路チップおよび前記第2の集積回路チップのそれぞれは、メモリチップであってもよい。

【0020】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップが平面上で互いに隣接するように配置されていてもよい。

【0021】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップが互いに重なり合うように配置されていてもよい。

【0022】前記第1の集積回路チップおよび前記第2の集積回路チップは、前記第1の集積回路チップおよび前記第2の集積回路チップのうちの一方を他方に対して裏返した状態で配置されていてもよい。

【0023】前記第1の集積回路チップは、前記共通バスに接続される複数の第1ピンと、前記複数の第1ピンに接続される複数の第1パッドとを有しており、前記第1ピンが前記共通バスに接続される点と前記第1ピンが接続される前記第1パッドとの間の距離は実質的に一定であってもよい。

【0024】

【発明の実施の形態】以下、本発明の集積回路パッケー

ジを図面を参照しながら説明する。同じ参照番号は、同じ構成要素を示す。また、下2桁が同じ参照番号の構成要素は、類似の構成要素を表す。集積回路パッケージの平面図および側面図は、集積回路パッケージの内部構成を表すため、パッケージ用モールドを透視した図である。

【0025】（実施の形態1）図1および図2を参照して、本発明の集積回路パッケージの実施の形態1を説明する。

【0026】本実施の形態では、集積回路パッケージの2つのチップは互いに隣接するように配置されている。

【0027】図1および図2はそれぞれ、本発明の集積回路パッケージ100をプリント基板110上に配線されたバス112に接続したときの平面図および側面図を示す。

【0028】集積回路パッケージ100は、パッケージ用モールド（以下、「モールド」と称する）102上に基板104を備える。2つの集積回路チップ（以下、「チップ」と称する）120および140は、図1に示すように互いに隣接するように基板104上に設けられている。チップ120および140はそれぞれ、互いに独立な所定の機能ブロック122および142を、互いに隣接する辺側に有する。本明細書中、機能ブロックが互いに「独立」とあるとは、入力信号および出力信号が互いに異なることをいう。

【0029】以下、チップ120および140は同一の機能を有するチップとして本実施の形態の説明を行う。例えば、チップおよび140はメモリチップである。さらに、同種類の信号が入力されるチップ120および140の各パッド（後述）は、共に上を向いている状態（すなわちモールド102と対向していない状態）で互いに隣接する辺に関して対称となるよう配置されているとする。これはチップ120とチップ140が同一の構成でないことを意味する。

【0030】チップ120は、チップ140に隣接する辺に対向する辺側にパッド列124を有する。パッド列124は、実質的に直線上に配置されている複数のパッド124-i（ $1 \leq i \leq n$ ：nはパッド数）を含む。それぞれのパッド124-iは、機能ブロック122の所定の部分に接続されている。なお本明細書中、「接続」とは、電気的な接続を意味する。

【0031】モールド102の辺のうち、パッド列124に近い一辺に、ピン列128が備えられている。ピン列128は、実質的に直線的に配置されている複数のピン128-i（ $1 \leq i \leq n$ ）を含む。

【0032】パッド列124およびピン列128は実質的に互いに平行になるように備えられている。従って、パッド列124のそれぞれのパッド124-iと、ピン列128のそれぞれのピン128-iとの距離は、それぞれのiについて実質的に等しい。それぞれのピン12

8-iは、それぞれに対応するパッド124-iにワイヤ126-i（ $1 \leq i \leq n$ ）を介して接続されている。さらにピン128-iは、バス112の信号線112-i（ $1 \leq i \leq n$ ）に接続されている。

【0033】ワイヤ列126のそれぞれのワイヤ126-iは、それぞれ対応するパッド124-iおよびピン128-iを接続する配線である。

【0034】本実施の形態では、機能ブロック122の所定の部分に接続された各パッド124-iから対応するピン128-iを介してバス112の信号線112-iに達するまでの距離 R_{i1} は、 $i=1, 2, \dots, n$ について実質的に一定である。これにより各信号線の経路長が等しくなり、各信号線の信号間のスキューが低減される。

【0035】さらにその結果、各パッド124-iからバス112の各信号線112-iを介して他の集積回路等に達する各信号経路の長さもまた、 $i=1, 2, \dots, n$ について実質的に等しくすることができる。これにより、他の集積回路等までの各信号線の信号の経路長が等しくなり、各信号線の信号間のスキューが低減される。

【0036】ここで、それぞれのパッド124-iの材料は、導電率が十分に低い金属、好ましくはアルミである。その大きさは、好ましくは約80 μm ～約120 μm 角であり、小さい方がより好ましい。

【0037】それぞれのピン128-iの材料は、好ましくは銅、4-2アロイ（ニッケル4：鉄2の合金）であり、銅の方がより好ましい。その大きさは、好ましくは幅約120 μm ×長さ約2～3mmである。ピンの幅は広い方が好ましく、ピンの長さは短い方が好ましい。

【0038】それぞれのワイヤ128-iの材料は、好ましくは金、アルミであり、金の方がより好ましい。その大きさは、好ましくは約1mm～約4mmであり、さらに好ましくは、約1mm～約2mmである。短い方がより好ましい。パッド、ピンおよびワイヤの材料および大きさは、本発明の集積回路パッケージに用いられる全てのパッド、ピンおよびワイヤについて同様である。

【0039】チップ140は、チップ120に隣接する辺に対向する辺側にパッド列144を有する。パッド列144は、実質的に直線的に複数のパッド144-i（ $1 \leq i \leq n$ ）を有する。それぞれのパッド144-iは、機能ブロック142の所定の部分に接続されている。

【0040】モールド102の辺のうちパッド列144に近い一辺に、ピン列148が備えられている。ピン列148は、実質的に直線的に配置されている複数のピン148-i（ $1 \leq i \leq n$ ）を有する。ピン列148およびパッド列144は実質的に互いに平行になるように備えられている。このピン列148のそれぞれのピン148-iは、それぞれに対応するパッド144-iに、ワ

イヤ146-i ($1 \leq i \leq n$) を介して接続されている。パッド144-iおよびピン148-iの間の距離は、それぞれのiについて実質的に等しい。ピン148-iは、バス112の信号線112-i ($1 \leq i \leq n$) に接続されている。

【0041】チップ120の場合と同様、チップ140の場合も、機能ブロック142の所定の部分に接続された各パッド144-iから対応するピン148-iを介してバス112の信号線112-iに達するまでの距離 R_{i1} は、 $i=1, 2, \dots, n$ について実質的に一定である。これにより、各信号線の経路長が等しくなり各信号線の信号間のスキューが低減される。

【0042】その結果、各パッド144-iからバス112の各信号線112-iを介して他の集積回路等に達する各信号経路の長さもまた、 $i=1, 2, \dots, n$ について実質的に等しくすることができる。これにより、他の集積回路等までの各信号線の信号の経路長が等しくなり、各信号線の信号間のスキューが低減される。さらに、上述したチップ120の各パッド124-iから他の集積回路等に達する各信号経路の長さも同時に等しくすることによって、両機能ブロックの信号の各スキューを同時に低減することができる。

【0043】上述のように、ピン列を含むチップ120および140の対応する信号線の配置は、互いに隣接する辺に関して対称である。ピン128-iとピン148-iとは実質的に互いに平行である。従って、図1に示すように、チップ120および140はピン128-iおよび148-iに平行な共通のバス112に接続される。接続に際しては、 $i=1, 2, \dots, n$ について、上記 R_{i1} と R_{i2} を等しくすることができる。

【0044】より具体的に説明するため、図1のバス112の信号線112-iが図の左から順に、電源線、グラウンド線、コマンド信号線、第1クロック信号線、第2クロック信号線、バスコントロール信号線、バスイネーブル信号線、残りをデータ信号線とする。すると、チップ120および140のピン128-1および148-1は同じ電源線に、ピン128-2および148-2は同じグラウンド線に、ピン128-3および148-3は同じコマンド信号線に、 \dots ピン128-nおよび148-nは同じデータ信号線に接続される。

【0045】ここで各ピンに平行なバスとピンとの接続は、バス112の各信号線112-iの配線幅とピッチを小さくし、配線ピッチを各パッド124-iのパッドピッチに合わせることによって実現される。なお、本発明の他の実施の形態でも、ピン列に平行なバスとピンの接続は同様にして実現される。

【0046】図1に示す構成では、長さ($a_1 + b_1 + e_1 + a_2 + b_2$)に相当する部分がデッドスペースである。図18に示す従来例の場合と比較すると長さ($c_1 + c_2$)に相当する部分のデッドスペースが削減されて

いる。さらに、 e_1 は e_2 に短縮されており、短縮された長さに相当する部分のデッドスペースが削減されている。削減されたデッドスペースには集積回路を配置できるので、配置可能なチップ面積を増やすことができる。これにより、集積回路パッケージ100を限られたバス長で高密度に実装することが可能となる。

【0047】機能ブロック122および142の双方にそれぞれ設けられたパッド134および154を、ワイヤ106で接続することもできる。これにより、一部の回路108を共用することが可能になる。この共用回路108の例としては、電源回路(昇圧回路、降圧回路等)、同期回路(PLL (Phase Locked Loop) 回路、DLL (Delay Locked Loop) 回路等)が挙げられる。この構成により、機能ブロック122および142の長さ($d_1 + d_2$)が縮小される。その結果、さらに集積回路パッケージ100のバス方向の幅が削減され、スペース効率が向上する。よって、バス上に配置できるチップ面積を増やすことができ、限られたバス長で集積回路パッケージ100をさらに高密度に実装することが可能となる。

【0048】本実施の形態1では、パッド124-iからピン128-iまでの距離が、各i ($1 \leq i \leq n$) について全て実質的に等しくなっている。しかし、スキューの低減が必要なピンの間に対してのみ、この距離を実質的に等しくするように改変することも可能である。パッド144-iからピン148-iまでの距離についても同様である。同様の改変は他の実施の形態についてもなされ得る。

【0049】また、本実施の形態1では、ピン列128およびピン列148は、チップ120およびチップ140が互いに隣接する辺と対向する辺にそれぞれ配置されている。しかし、ピン列128およびピン列148を隣り合う辺に配置することも可能である。ただし、スキューの低減を必要とする信号経路間の関係において、ピン列128およびピン列148からバス112を介して他の集積回路等に達する距離が実質的に等しくなるという条件を満たすことが必要である。同様の改変は、複数のピン列を有する他の実施の形態についてもなされ得る。

【0050】さらに上記の実施の形態1では、ピン128-iはチップ120上の1辺のみに配置されている。しかし、スキューの低減を必要とする信号経路間の関係において、ピン128-iから信号線112-iを介して他の集積回路等に達する距離が実質的に等しくなるという条件を満たすように、ピン128-i、ワイヤ126-iおよびパッド124-iはチップ120上の複数の辺に配置され得る。このような改変は、ピン148-i、ワイヤ146-iおよびパッド144-iについても可能である。また、同様の改変が他の実施の形態についても成され得る。

【0051】なお、本実施の形態では2つのチップは同

一の機能を有するチップとしたが、必ずしも同一の機能を有さなくともよい。

【0052】(実施の形態2)図3を参照して、本発明の集積回路パッケージの別の実施の形態を説明する。

【0053】本実施の形態では、集積回路パッケージを構成するチップは1つであり、チップ内部で2つの機能ブロックに分割されて配置されている。

【0054】実施の形態1の集積回路パッケージ100(図1)は、2つのチップ120および140を備え、チップ120および140は、それぞれ、機能ブロック122および142を含んでいた。一方、実施の形態2の集積回路パッケージ200は、単独のチップ204を備え、チップ204は、機能ブロック262を備える。機能ブロック262は、互いに独立な機能ブロック262aおよび262bを有する。機能ブロック262aおよび262bはそれぞれ、実施の形態1の機能ブロック122および142に相当する。

【0055】以上が、集積回路パッケージ200は集積回路パッケージ100(図1)と異なる点である。実施の形態1の機能ブロック122および142と同様に、同種類の信号が入力される機能ブロック262aおよび262bの各パッドは、共に上を向いている状態(すなわちモールド202と対向していない状態)で、互いに隣接する辺に関して対称である。集積回路パッケージ200のその他の構成要素も、集積回路パッケージ100(図1)と同様である。

【0056】互いに独立な機能ブロック262aおよび262bを有する機能ブロック262をチップ204上に設ける構成により、実施の形態1よりもデッドスペースを削減できる。本実施の形態では図3に示すように、図1のバス方向の長さ e_1' に相当する部分のデッドスペースも削減されている。したがって、図18に示す従来例の場合と比較すると長さ $(c_1 + c_2 + e_1)$ に相当する部分のデッドスペースが削減される。よって、削減されたデッドスペースにも集積回路を配置できるので、バス上に配置するチップ面積を増やすことができる。これにより、限られたバス長に集積回路パッケージ200をより高密度に実装することが可能となる。

【0057】また、2つの互いに独立な機能ブロック262aおよび262bは、一部の回路部を共用することができる。この共用回路208の例としては、電源回路(昇圧回路、降圧回路など)、同期回路(PLL(Phase Locked Loop)回路、DLL(Delay Locked Loop)回路など)が挙げられる。回路を共有することにより、機能ブロック262の長さ $(d_1 + d_2)$ が縮小される。その結果、さらに集積回路パッケージ200のバス方向の幅が削減され、スペース効率が向上する。よって、バス上に配置できるチップ面積を増やすことができ、限られたバス長に集積回路パッケージ200をさらに高密度に実装することが可能となる。

【0058】(実施の形態3)図4および図5を参照して、本発明の集積回路パッケージの別の実施の形態を説明する。

【0059】本実施の形態の集積回路パッケージでは、同一の構成を有する2つのチップのうち、一方のチップが他方のチップに対して裏返した状態で配置されている。

【0060】図1に示される実施の形態1の集積回路パッケージ100では、互いに異なる構成のチップ120および140が用いられていた。すなわちチップ120および140の同種類の信号が入力される各パッドは、共に上を向いている状態(すなわちモールド102と対向していない状態)で互いに隣接する辺に関して対称となるよう配置されていたので、チップ120および140は同一の構成ではなかった。

【0061】図4および図5に示される本実施の形態では、同一の構成をもつチップ720および740を用いる。本実施の形態では、一方のチップを他方のチップに対して裏返した状態で配置することによって、同種類の信号が入力される各パッドの位置を、チップ720および740が互いに隣接する辺に関し対称にできることを説明する。

【0062】図4に示すように、集積回路パッケージ700は、モールド702上にチップ720および740を備える。チップ720の構成は、実施の形態1で述べたチップ120の構成と同様である。チップ740は、本実施の形態ではチップ720と同一の機能、構成をもつチップである。

【0063】図5は、図4の集積回路パッケージ700の側面図を示す。

【0064】本実施の形態の集積回路パッケージ700では、チップ720はそのパッド列724がモールド702と対向しないようにモールド702上に配置されている。

【0065】チップ740は、チップ720に対して裏返した状態で配置されている。すなわちチップ740は、そのパッド列744がモールド702に対向するよう配置されている。

【0066】チップ720の機能ブロック722は、パッド列724の各パッド724-i、ワイヤ列726の各ワイヤ726-iおよびピン列728の各ピン728-iを介して、バス712の各信号線712-i($1 \leq i \leq n$)と接続されている。

【0067】チップ740の機能ブロック742は、その所定の部分とパッド列744の各パッド744-i($1 \leq i \leq n$)が接続されている。各パッド744-iは、バンプ列706の各バンプ706-iを介してピン列748の各ピン748-iと接続されている。各ピン748-iは、バス712の各信号線712-iと接続されている。

【0068】本実施の形態の集積回路パッケージ700の他の構成要素は、集積回路パッケージ100（図1）の構成要素と同じである。

【0069】上述のようにチップ740を配置しても、バンブ706-iの厚さ、各ピン728-iおよび748-iの長さ、および各ワイヤ126-iの長さを適当に調整することによって、実施の形態1で述べた効果と全く同様の効果を得ることができる。

【0070】すなわち本実施の形態によっても、機能ブロック722の所定の部分に接続された各パッド724-iから対応するピン728-iを介してバス712の信号線712-iに達するまでの距離 $R_{i,i'}$ は、 $i=1, 2, \dots, n$ について実質的に一定とすることができる。機能ブロック742の所定の部分に接続された各パッド744-iから対応するバンブ706-iおよびピン748-iを介してバス712の信号線712-iに達するまでの距離 $R_{i,i'}$ は、 $i=1, 2, \dots, n$ について実質的に一定とすることができる。さらに、上記 $R_{i,i'}$ と $R_{i,i'}$ とを等しくすることも可能である。従って、実施の形態1で述べたスキューの軽減、デッド

スペースの削減等の利点をすべて得ることができる。

【0071】さらに、同一の構成を持つチップ720および740を使用できることから、実施の形態1の場合と比較してチップの生産コストの削減が可能である。

【0072】（実施の形態4）図6および図7を参照して、本発明の集積回路パッケージの別の実施の形態を説明する。

【0073】本実施の形態では、集積回路パッケージの2つのチップは互いに重なり合うように配置される。

【0074】集積回路パッケージ300は、モールド302上に、チップ320および340を備える。チップ320および340はそれぞれ、互いに独立な所定の機能を有する機能ブロック322および342を設けている。

【0075】実施の形態1の集積回路パッケージ100（図1）では、チップ120および140が互いに隣接するように設けられている。

【0076】一方、図7の側面図に示すように、本実施の形態の集積回路パッケージ300では、それらに対応するチップ320および340は、スペーサ301を介して互いに重なり合うように配置される。パッド324-iおよびピン328-iは、ワイヤ326-iを介して接続される。同様にパッド344-iおよびピン348-iは、ワイヤ346-iを介して接続される。接続のための空間を確保するため、パッド列324の上部が空いている。以上の点で本実施の形態の集積回路パッケージ300は、集積回路パッケージ100（図1）と異なる。また、集積回路パッケージ300のその他の構成要素は、集積回路パッケージ100（図1）と同様である。

【0077】また、図6に示す構成では、長さ $(a_1 + b_1 + a_2 + b_2)$ に相当する部分がデッドスペースである。図18に示す従来例の場合と比較すると長さ $(c_1 + c_2 + e_1)$ に相当する部分のデッドスペースが削減される。さらに、機能ブロック322および342のバス方向の長さ d は、 $(d_1 + d_2)$ から $(d_1 + d_2)/2$ へと大幅に短縮されており、短縮された長さに相当する部分のデッドスペースが削減されている。よって、削減されたデッドスペースにも集積回路を配置できるので、バス上に配置するチップ面積を増やすことができる。これにより、限られたバス長に集積回路パッケージ300をより高密度に実装することが可能となる。

【0078】なお、ここでも、チップ320あるいは340上に両チップで共用することができる回路を配置し、チップ320と340に接続パッドを設けて、ワイヤで接続することにより前記の回路を共用することができる。その結果、機能ブロック322および342のバス方向の長さ d がさらに短縮され、スペース効率が向上する。よって、バス上に配置できるチップ面積を増やすことができ、限られたバス長に集積回路パッケージ300をさらに高密度に実装することが可能となる。

【0079】また集積回路パッケージ300では、チップ320と340との間には段差が存在するため、パッド324からバス312までの距離とパッド344からバス312までの距離とが異なっている。ワイヤの長さ、あるいはピンの配置を適当に調整することにより、上記距離を等長にすることが可能である。

【0080】（実施の形態5）図8は、本発明による集積回路パッケージ制御システム850の構成を示す。

【0081】本実施の形態は、本発明による集積回路パッケージと、集積回路パッケージを制御するための制御部を含むシステムに関する。

【0082】集積回路パッケージ制御システム850は、 m 個の集積回路パッケージ800-j（ $1 \leq j \leq m$ 、 j, m ：整数）と各集積回路パッケージ800-jを制御する制御回路810を備えている。制御回路810と各集積回路パッケージ800-jとは、共通のバス812に接続されている。制御回路810はさらに、他の集積回路、例えばコンピュータのCPU（図示せず）に接続されている。

【0083】本実施の形態では、各集積回路パッケージ800-jは、実施の形態1～4までに示した、あるいは後述の実施の形態6～8に示す集積回路パッケージのいずれであってもよい。集積回路パッケージを構成するチップは、任意の集積回路チップであり得る。

【0084】以下では、各集積回路パッケージ800-jは実施の形態1～4までに記載した集積回路パッケージ100（図1）、200（図3）、300（図6）あるいは700（図4）のいずれかであるとする。さらに各集積回路パッケージ800-jを構成するチップは、

特にメモリチップであるとする。

【0085】制御回路810は、信号の入出力、電源の供給等に用いられる複数の端子を有する。複数の端子のそれぞれは、例えば、電源の供給や接地のための端子、およびコマンド信号、クロック信号、バスコントロール信号、バスイネーブル信号およびデータ信号を入出力するための端子である。本実施の形態の制御回路810はメモリコントローラとして広く一般に知られている集積回路であればよいので、その構成の詳細な説明は省略する。

【0086】本実施の形態では実施の形態1~4の集積回路パッケージを使用するので、実施の形態1~4で述べた効果を得ることができる。すなわち、従来の集積回路パッケージシステムよりもデッドスペースが削減された集積回路パッケージシステムを得ることができる。

【0087】本実施の形態による集積回路パッケージシステムの利点を具体的に説明する。制御回路810の端子から集積回路パッケージ800-1を構成するメモリチップ840-1のパッドまでの配線距離をP、図19の集積回路パッケージ制御システムで制御回路から集積回路パッケージ2を構成するチップのパッドまでの配線距離をQとすると、集積回路パッケージ800-1は従来よりもデッドスペースが削減された結果、 $P < Q$ が成り立つ。その結果、従来の集積回路パッケージ制御システムと比べて、制御回路810から各集積回路パッケージ800-jまでのバス長を短くすることができる。あるいは、限られたバス長でさらに高密度に集積回路チップを配置することができる。

【0088】本実施の形態では、上述のように実施の形態1~4までのいずれの集積回路パッケージでも使用することができる。従って、本実施の形態のシステムを構成する際には、各集積回路パッケージの2つのメモリチップを平面上で互いに隣接するように配置するか、重ねて配置するか、あるいは一方を他方に対して裏返した状態で配置するかを必要に応じて選択することができる。

【0089】(実施の形態6)図9および図10を参照して、本発明の集積回路パッケージの実施の形態6を説明する。

【0090】本実施の形態では、集積回路パッケージに設けられた各チップのパッド列は互いに隣接する辺側に設けられ、ピン列は共有されている。

【0091】図9および図10はそれぞれ、本発明の集積回路パッケージ400の平面図および側面図を示す。

【0092】集積回路パッケージ400は、モールド402上に基板404を備える。2つのチップ420および440は、互いに隣接するように基板404上に設けられている。さらにチップ420および440は、互いに独立な所定の機能を有する機能ブロック422および442を、互いに隣接する辺と反対側にそれぞれ有している。チップ420は、チップ440に隣接する辺側に

パッド列424を有する。パッド列424は、実質的に直線上に複数のパッド $424-i$ ($1 \leq i \leq n$)を有する。それぞれのパッド $424-i$ は、機能ブロック422の所定の部分に接続されている。チップ440は、チップ420に隣接する辺側にパッド列444を有する。パッド列444は、実質的に直線上に複数のパッド $444-i$ ($1 \leq i \leq n$)を有する。それぞれのパッド $444-i$ は、機能ブロック442の所定の部分に接続されている。

10 【0093】図10の側面図に示すように、集積回路パッケージ400はピン列428をチップ420の上方に備える。ピン列428は、ピン $428-i$ ($1 \leq i \leq n$)を有する。ピン $428-i$ は、 $i=1, 2, \dots, n$ についてパッド $424-i$ とワイヤ $426-i$ を介して接続し、パッド $444-i$ とワイヤ $446-i$ を介して接続する。パッド $424-i$ およびピン $428-i$ の間の距離は、 $i=1, 2, \dots, n$ について実質的に等しい。パッド $444-i$ およびピン $428-i$ の間の距離は、 $i=1, 2, \dots, n$ について実質的に等しい。

20 【0094】集積回路パッケージ400では、各パッド $424-i$ から対応するピン $428-i$ を介してバス412の信号線 $412-i$ に達するまでの距離 L_i ($1 \leq i \leq n$)は $i=1, 2, \dots, n$ について実質的に等しくなる。これにより、スキューの低減が可能となる。

【0095】集積回路パッケージ400の特徴は、2つの機能ブロック422および442がともに同一のピン列428のみを介して、バス412に接続されていることである。これは、ピン $428-i$ が、LOC (Lead On Chip) 構造を有することにより可能となる。図9に示すように、バス方向の長さ($a_1 + b_1 + b_2 + c_2$)に相当する部分がデッドスペースである。図18に示す従来例の場合と比較すると長さ($c_1 + e_1 + a_2$)に相当する部分のデッドスペースが削減されている。よって、削減されたデッドスペースにも集積回路を配置できるので、バス上に配置するチップ面積を増やすことができる。これにより、限られたバス長に集積回路パッケージ400をより高密度に実装することが可能となる。

【0096】また、機能ブロック422および442の双方にそれぞれ設けられたパッド434および454をワイヤ406で接続することもできる。これにより、一部の回路408を共用することが可能になる。この共用回路408の例としては、電源回路(昇圧回路、降圧回路など)、同期回路(PLL (Phase Locked Loop) 回路、DLL (Delay Locked Loop) 回路など)が挙げられる。この構成により、機能ブロック422および442の長さ($d_1 + d_2$)が縮小される。その結果、さらに集積回路パッケージ400のバス方向の幅が削減され、スペース効率が向上する。よって、バス上に配置できる

50 チップ面積を増やすことができ、限られたバス長に集積

回路パッケージ400をさらに高密度に実装することが可能となる。

【0097】(実施の形態7)図11および図12に、本発明の集積回路パッケージの別の実施の形態を示す。

【0098】本実施の形態の集積回路パッケージ500は、実施の形態6の集積回路パッケージ400(図9)におけるパッド列444およびワイヤ列446に相当する構成を有さない。代わりに、機能ブロック522および542は共にパッド列524に接続され、パッド列524の各パッド524-iはワイヤ526-iを介してピン528-iに接続される。図12に示すように、ピン列528は機能ブロック522の上部に配置される。機能ブロック522および542が同一のピン列528と接続されることは、機能ブロック522に接続されるピンの長さ(図12のc₁)と機能ブロック542に接続されるピンの長さ(図12のe₁)とが等しいことを意味する。このことは、例えば実施の形態1で参照した図1のピン128-iとピン148-iが、等しい長さであることに相当する。集積回路パッケージ500のその他の構成要素は、集積回路パッケージ400(図9)と同様である。集積回路パッケージ500は、実施の形態6の場合と同様にスキューの低減を可能にする。

【0099】図11に示すように、デッドスペースは長さ(a₁+b₁+c₁)に相当する部分である。図18に示す従来例の場合と比較すると、長さ(c₁+e₁+a₁+b₁)に相当する部分のデッドスペースが削減される。よって、削減されたデッドスペースにも集積回路を配置できるので、バス上に配置するチップ面積を増やすことができる。これにより、限られたバス長に集積回路パッケージ500をより高密度に実装することが可能となる。

【0100】(実施の形態8)図13、図14、および図15に、本発明の集積回路パッケージの別の実施の形態を示す。

【0101】本実施の形態では、集積回路パッケージを構成する2つのチップのうち、一方のチップ全体が他方のチップに重なって配置されている。

【0102】図13および図14は、本発明の集積回路パッケージ600の平面図であり、図15は、本発明の集積回路パッケージ600の側面図である。

【0103】集積回路パッケージ600は、モールド602上にチップ620および640を備えている。チップ620および640は、互いに独立な所定の機能を有する機能ブロック622および642をそれぞれ有している。図15の側面図に示すように、チップ640はチップ620の上に重なっている。

【0104】チップ620は、パッド列624を有する。パッド列624は、チップ620上の一辺に設けられており、実質的に直線上に複数のパッド624-i

(1 ≤ i ≤ n)を有する。機能ブロック622は、パッ

ド列625を有する。パッド列625は、実質的に直線上に複数のパッド625-i(1 ≤ i ≤ n)を有する。パッド列625はパッド列624に隣接するように配置され、パッド列624と実質的に平行である。それぞれのパッド625-iは、機能ブロック622の所定の部分およびパッド624-iに接続される。また、モールド602は、モールド602上の一辺にピン列628を備える。パッド列624およびピン列628は、実質的に互いに平行であり、互いに隣接する。さらに、それぞれのパッド624-iは、ワイヤ626-iを介してピン628-iに接続される。

【0105】チップ640は、チップ640上の一辺にパッド列644を有する。パッド列644は、実質的に直線上に複数のパッド644-i(1 ≤ i ≤ n)を有する。それぞれのパッド644-iは、機能ブロック642の所定の部分に接続される。また、それぞれのパッド644-iは、バンプ列606のバンプ606-iを介して、チップ620のパッド625-iにも接続される。

【0106】それぞれのバンプ606-iの材料は、好ましくは、ハンダ、金であり、金の方がより好ましい。その大きさは、好ましくは、約100 μm × 約100 μm角、高さ約100 μm ~ 約60 μmである。バンプの材料および大きさは、本発明の集積回路パッケージに用いられる全てのワイヤについて同様である。

【0107】上記のように集積回路パッケージ600では、パッド625-iはパッド624-i、ワイヤ626-iおよびピン628-iを介してバス612の信号線612-iに接続されている。パッド624-iからピン628-iまでの距離は、i = 1, 2, ..., nについて実質的に等しい。同様にパッド644-iは、パッド625-i、パッド624-i、ワイヤ626-iおよびピン628-iを介してバス612の信号線612-iに接続される。パッド644-iからピン628-iまでの距離は、i = 1, 2, ..., nについて実質的に等しい。これにより、データクロック間のスキューの低減が可能となる。

【0108】また、図13に示すように、バス方向の長さ(a₁+b₁+b₂+c₁)に相当する部分がデッドスペースである。図18に示す従来例の場合と比較すると長さ(c₁+e₁+a₁)に相当する部分のデッドスペースが削減されている。さらに、機能ブロック622および642の部分のバス方向の長さd'は、それぞれの長さの和よりも短縮されており、短縮された長さに相当する部分のデッドスペースが削減されている。よって、削減されたデッドスペースにも集積回路を配置できるので、バス上に配置するチップ面積を増やすことができる。これにより、限られたバス長に集積回路パッケージ600をより高密度に実装することが可能となる。

【0109】また、機能ブロック622に設けられたバ

17

ッド627および629を、機能ブロック642に設けられたパッド647および649と、バンプ605および607を介してそれぞれ接続することができる。これにより、一部の回路608をチップ420および640で共用することが可能になる。この共用回路608の例としては、電源回路（昇圧回路、降圧回路など）、同期回路（PLL（Phase Locked Loop）回路、DLL（Delay Locked Loop）回路など）が挙げられる。この構成により、機能ブロック622および642の長さd'が縮小される。その結果、さらに集積回路パッケージ600のバス方向の幅が削減され、スペース効率が向上する。よって、バス上に配置できるチップ面積を増やすことができ、限られたバス長に集積回路パッケージ600をさらに高密度に実装することが可能となる。

【0110】

【発明の効果】本発明によれば、データクロック間のスキューを回避することが出来る。また、本発明の集積回路パッケージは、バス方向の幅に相当するデッドスペースを削減するため、削減されたデッドスペースにも集積回路パッケージを配置することが可能になる。よって、転送データおよびクロック波形のノイズ等による乱れを回避するために長さが限られているバス上に、配置可能なチップ面積を増やすことができる。

【0111】また、複数の機能ブロックで回路の一部を共有化することにより、スペース効率をさらに向上させて、長さが限られているバス上に配置することができる。回路の一部を共有することにより、消費電力の軽減が図られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における集積回路パッケージの内部構成の概略を示す平面図である。

【図2】本発明の実施の形態1における集積回路パッケージをバス上に配置したときの概略を示す側面図である。

【図3】本発明の実施の形態2における集積回路パッケージの内部構成の概略を示す平面図である。

【図4】本発明の実施の形態3における集積回路パッケージの内部構成の概略を示す平面図である。

【図5】本発明の実施の形態3における集積回路パッケージの概略を示す側面図である。

【図6】本発明の実施の形態4における集積回路パッケージの内部構成の概略を示す平面図である。

【図7】本発明の実施の形態4における集積回路パッケージ

18

*ージの内部構成の概略を示す側面図である。

【図8】本発明の実施の形態5における集積回路パッケージ制御システムの構成の概略を示す平面図である。

【図9】本発明の実施の形態6における集積回路パッケージの内部構成の概略を示す平面図である。

【図10】本発明の実施の形態6における集積回路パッケージの内部構成の概略を示す側面図である。

【図11】本発明の実施の形態7における集積回路パッケージの内部構成の概略を示す平面図である。

10 【図12】本発明の実施の形態7における集積回路パッケージの内部構成の概略を示す側面図である。

【図13】本発明の実施の形態8における集積回路パッケージの内部構成の概略を示す平面図である。

【図14】本発明の実施の形態8における集積回路パッケージの内部構成の一部の概略を示す平面図である。

【図15】本発明の実施の形態8における集積回路パッケージの内部構成の概略を示す側面図である。

20 【図16】プリント基板のバス上に配置されたLSI間でデータ転送を行う場合のデータの送出時と取り込み時のタイミングを示す図である。

【図17】従来の集積回路パッケージの内部構成を示す平面図である。

【図18】従来の集積回路パッケージをバス上へ配置した平面図である。

【図19】従来の集積回路パッケージ制御システムの構成の概略を示す平面図である。

【符号の説明】

100 集積回路パッケージ

102 モールド

106 ワイヤ

108 共用回路

110 プリント基板

112 バス

120、140 チップ

122、142 機能ブロック

124、144 パッド列

126、146 ワイヤ列

128、148 ピン列

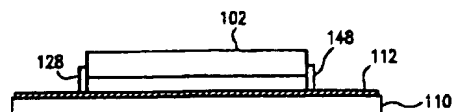
124-i、144-i パッド

40 126-i、146-i ワイヤ

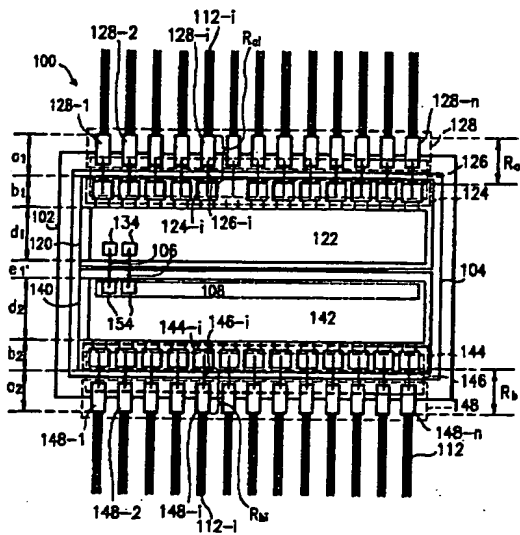
128-i、148-i ピン

134、154 パッド

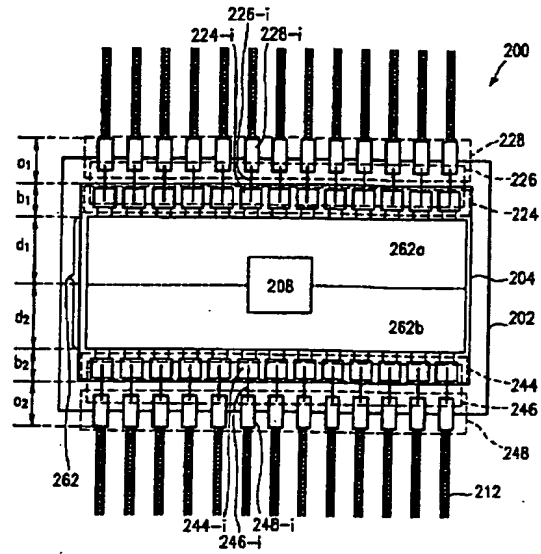
【図2】



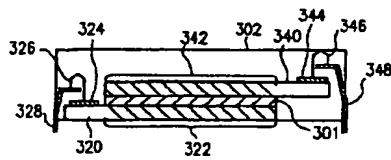
【図 1】



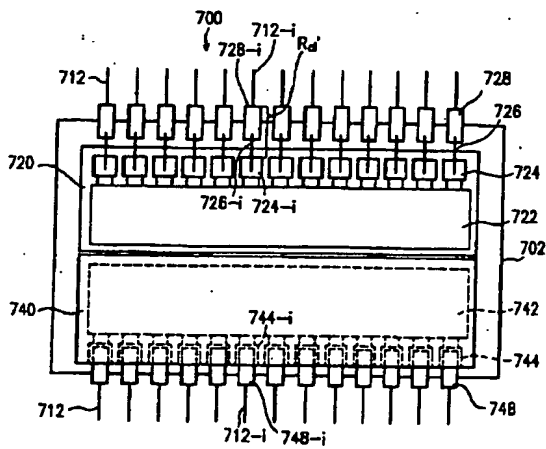
【図 3】



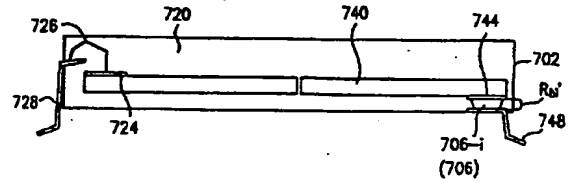
【図 7】



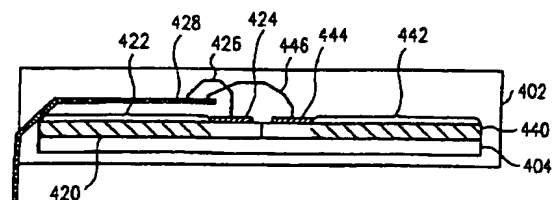
【図 4】



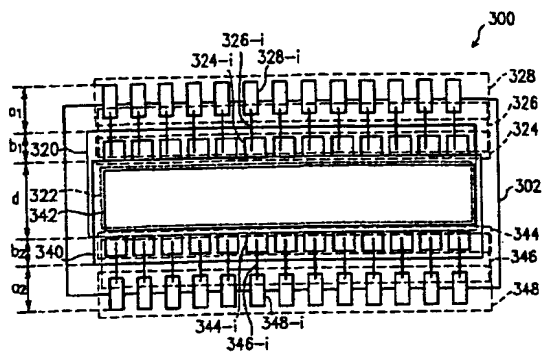
【図 5】



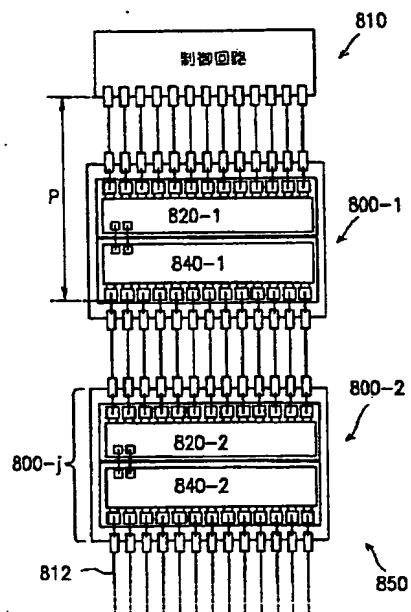
【図 10】



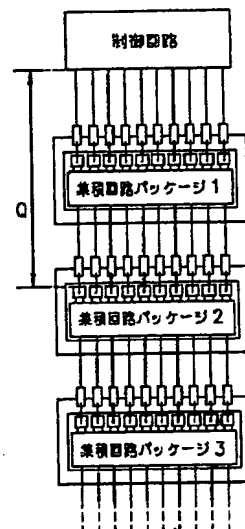
【図6】



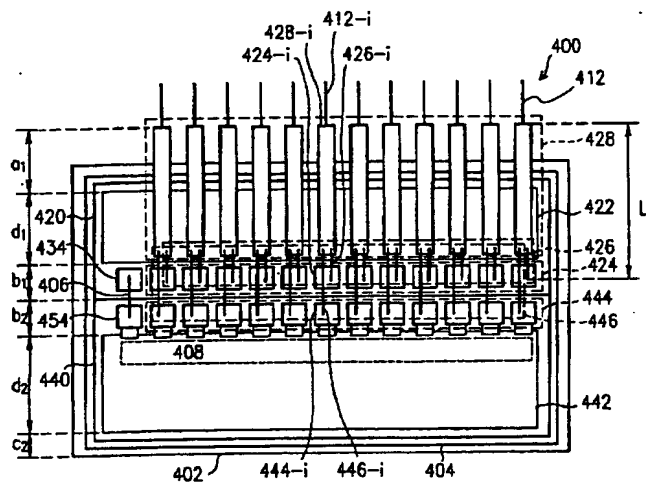
【図8】



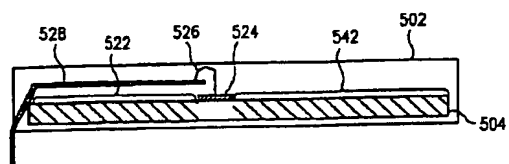
【図19】



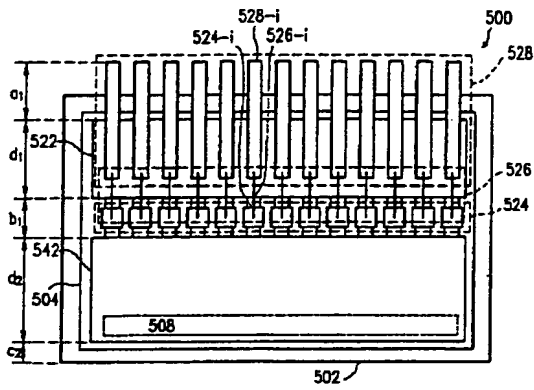
【図9】



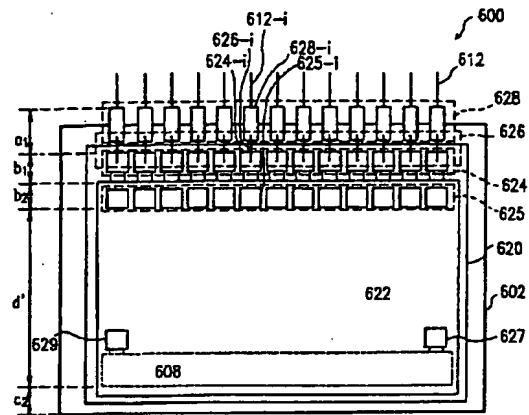
【図12】



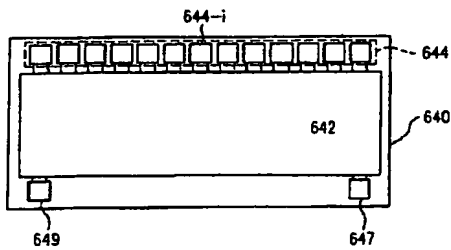
【図11】



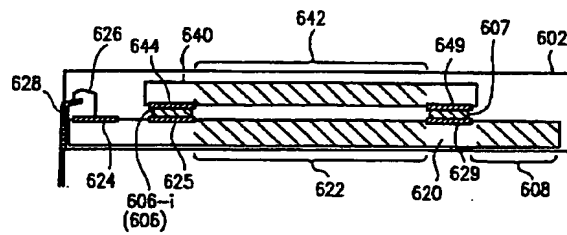
【図13】



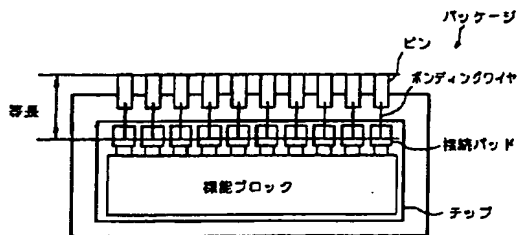
【図14】



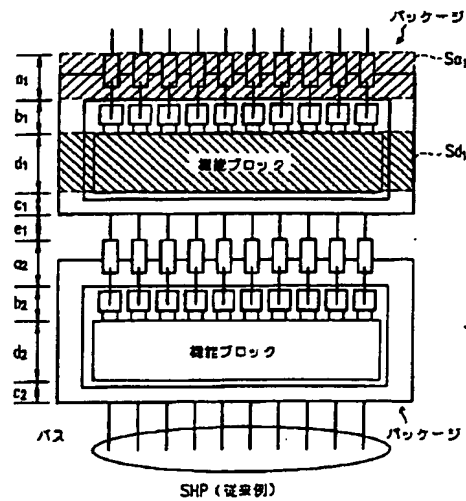
【図15】



【図17】

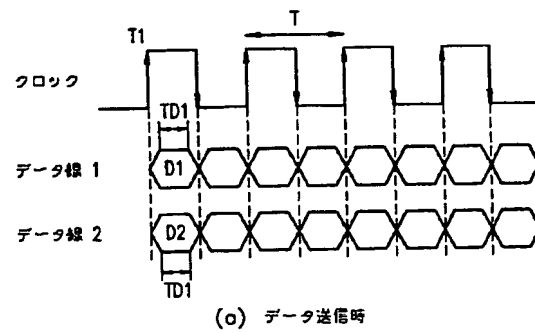


【図18】

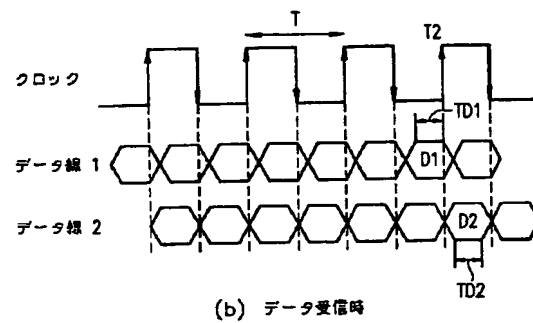


SHP (従来例)

【図 16】



(a) データ送信時



(b) データ受信時